

BEST AVAILABLE COPY

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereund

申請 日：西元 2001 年 11 月 01 日
Application Date

申請 案 號：090127127
Application No.

申請 人：奇美電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局 長
Director General

蔡 練 生

發文日期：西元 2004 年 9 月 1
Issue Date

發文字號：09320854120
Serial No.

申請日期	90.11.1
案號	90127127
類別	H01L 29/86

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	畫素儲存電容器結構
	英文	
二、發明人	姓名	1 吳永良 2 王東榮 3 郭晉榮
	國籍	中華民國
	住、居所	1 台南縣鹽水鎮竹埔里竹子腳 10 鄰 55 號 2 台南縣永康鄉竹園一街 61 號 7F 之 2 3 高雄縣路竹鄉竹東村 14 鄰中興路 147 之 1 號
三、申請人	姓名 (名稱)	奇美電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	台南縣台南科學工業園區新市鄉奇業路 1 號
	代表人姓名	許文龍

裝

訂

線

發明之名稱：畫素儲存電容器結構

四、發明摘要

一種畫素儲存電容器結構，包括一第一電容電極形成於一基板上。一電容介電層形成於第一電容電極上。一第二電容電極形成於電容介電層上，其中第二電容電極的面積範圍小於第一電容電極的面積範圍。一保護層覆蓋過於第二電容電極上，其中保護層有一開口，暴露出第二電容電極。一畫素電極層覆蓋於保護層上，透過保護層之開口與第二電容電極連接。

五、發明說明

一種顯示器裝置，且特別是有關於一種畫素儲存電容器結構。

顯示器於日常生活中，是常見的裝置。特別是使用的電視或電腦必須備有一顯示器，使影像能顯示於顯示器的螢幕上，呈現給使用者。一般顯示器若是以陰極射線設計，其需要很大的空間，造成不便。尤其是，筆記型電腦無法與陰極射線的顯示器一起使用。因此由點陣列設計形成的平面顯示器產品，例如顯示器(liquid crystal display, LCD)或是薄膜電晶體(thin film transistor, TFT)液晶顯示器，已被成功推出。薄膜電晶體液晶顯示器的圖像是由一畫素陣列所構成。每一個畫素由一薄膜電晶體所控制。

請參閱第 1 圖，第 1 圖繪示習知薄膜電晶體液晶顯示器的驅動電路。薄膜電晶體液晶顯示器包括一掃描電路(scanning circuit)100 及一信號保持電路(signal-holding circuit)102。掃描電路 100 驅動一組掃描線 110，而信號保持電路 102 驅動一組信號線 112。掃描線 110 與信號線 112 交叉構成一二維陣列。二維陣列的每一交叉點，包括有一薄膜電晶體 104，一畫素儲存電容 108，及一液晶顯示胞 106，如此形成一畫素。薄膜電晶體 104 的閘極由對應的掃描線 110 控制，而薄膜電晶體 104 的源極由對應的信號線 112 控制。薄膜電晶體 104 的汲極連接於一畫素電極層，也同時連接畫素儲存電容器 108 之一電極。畫素儲存電容 108 是用於維持控制液晶所需的電壓。畫素儲存電容 108 的另

一電極，在更早期技術可連接於相鄰的掃描線。

另外，隨著薄膜電晶體液晶顯示器的大尺寸化，為降低驅動的閘極延遲效應(gate delay)的影響，現今畫素以一共通電極型畫素儲存電容(Cst On Common)為設計主流。此種型式設計，因採取共通電極(common)與閘極分離的做法。電容之另一電極連接到一共通電壓，例如一共通電極(common electrode, Vcom)。

請參閱第 2 圖，第 2 圖繪示一習知薄膜電晶體液晶顯示器的佈局結構。薄膜電晶體 104 之閘極連接於掃描線 110。薄膜電晶體 104 的源極連接到對應的信號線 112。薄膜電晶體 104 的汲極連接到畫素電極層 118。另外畫素儲存電容器由一共通下電極 114 與上電極 116 所構成。畫素電極層 118 透過一開口 120 與上電極 116 連接。

其中，下電極 114 形成於一透明基板 126 上。下電極 114 一般又稱為第一金屬層，其一般與薄膜電晶體 104 的閘極共同定義形成。接著，一電容介電層 124 形成覆蓋於下電極 114 上。一金屬電極層 116 形成於電容介電層 124 上作為儲存電容之上電極 116，其與下電極 114 重疊的部份，為主要電荷儲存位置。一保護層 122 形成覆蓋過於電容上電極 116，且覆蓋其他部分。保護層 122 有一開口 120，暴露出電容上電極 116。一畫素電極層 118 透過開口 120，可與電容上電極 116 連接。另外，其他結構以完成液晶顯示器，例如整合彩色濾光片基板於透明基板 126 上，並填入一液晶層(未示)等，為習此技藝者熟知，於此不再詳述。

上述習知結構中，當陣列製造過程中，薄膜電晶體 104 的的通道區一般是由非晶矽氫化物(amorphous silicon hydride, a-Si:H)所形成。於定義形成過程中，非晶矽之異物 115，容易沿電容下電極 114 的邊緣而殘留在電容介電層 24 上。當進行習稱第二金屬層製程(metal 2)，以形成電容上電極 116 及信號線 112 時，電容上電極 116 會覆蓋過電容之下電容電極 114，並跨過其邊緣。此時若有導電的殘留異物 115 沿電容下電極 114 邊緣殘留在電容介電層 24 上，將使電容上電極 116 與信號線 112 短路(short)，造成陣列的缺陷。

另外，殘留異物 115 可能也會造成上下電容電極的短路，使畫素儲存電容 108 失去效應，造成此畫素的亮點缺陷。異物 115 殘留造成亮點缺陷時，一般除了用雷射將異物除去以外，同時也會使共通電極 114 造成為斷線。斷線會造成閘極淡線的發生。因此為防止淡線的發生，當有缺陷的電容器所產生的點缺陷發生時，一般的做法則傾向於不修補此點缺陷，因而形成亮點。

但是，現今市場對顯示器的畫像品質，其要求越益嚴苛。如何將亮點以雷射修補的技術，將亮點修補成暗點，以達到零亮點的目標，是目前的主流趨勢。目前上述的雷射修補技術，無法做暗點化，因為現有的暗點化技術，會使共通電極與閘極短路而造成亮線缺陷。因此如何解決蓄積電容器之點缺陷，無法做暗點化的問題，為進一步提昇畫像品質的重要關鍵。

有鑑於此，本發明提供一種畫素儲存電容器結構。藉縮小電容上電極的邊緣，使電容下電極大於電容上電極。如此當導電異物殘留於電容下電極的邊緣時，因電容上電極不與電容下電極之邊緣重疊，即使異物殘留，也可降低電容與信號線短路的機率。

本發明提供一種畫素儲存電容器結構，包括第一電容電極形成於一基板上。一電容介電層形成於第一電容電極上。一第二電容電極形成於電容介電層上，其中第二電容電極的面積範圍小於第一電容電極的面積範圍。一保護層覆蓋過於第二電容電極上，其中保護層有一開口，暴露出第二電容電極。一畫素電極層覆蓋於保護層上，透過保護層之開口與第二電容電極連接。

上述中，該畫素電極與一開關元件連接。

上述中，因第二電容電極的面積範圍小於第一電容電極的面積範圍，其邊緣不重疊，因此有效降低電容短路的機率。

本發明提供一種液晶顯示裝置，包括複數條掃描線；複數條信號線；以及複數個畫素，每一畫素包括一液晶單元，具有一畫素電極連接至一儲存電容，以及一開關元件，連接液晶單元與信號線之一，而開關元件之一連接至掃描線之一；其中，上述儲存電容更包括一第一電容電極、一電容介電層與一第二電容電極，第二電容電極與第一電容電極之一重疊區域大致上相等於第二電容電極之面積。

本發明另外提供一種形成一畫素儲存電容器的方法，

包括形成一第一電容電極於一基板上。於該第一電容電極上，形成一電容介電層。於該電容介電層上，形成一第二電容電極，其中該第二電容電極的一面積範圍小於該第一電容電極。於該第二電容電極上形成一覆蓋保護層。定義該保護層以形成一開口，暴露出該第二電容電極。形成一畫素電極層，覆蓋於該保護層上，透過該保護層之該開口與該第二電容電極連接。

爲讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示繪示習知薄膜電晶體液晶顯示器的驅動電路；

第 2 圖繪示一習知薄膜電晶體液晶顯示器的佈局結構；

第 3A 圖繪示依照本發明，薄膜電晶體液晶顯示器的佈局結構；以及

第 3B 圖繪示依照本發明，於第 3A 圖中沿 II-II 線的剖面圖。

標號說明：

100	掃描電路
102	信號保持電路
104	薄膜電晶體

106	畫素液晶
108	儲存電容
110	掃描線
112	信號線
114	共通電極線
115	異物
116, 200	電容上電極
118, 204	畫素電極
120, 202	開口
122	保護層
124	電容介電層
126	基板

實施例

本發明的畫素儲存電容器結構，其主要特徵之一為藉由縮小電容上電極的邊緣，或是擴大電容下電極的邊緣，使電容下電極大於電容上電極。如此當導電異物沿電容下電極的邊緣殘留在電容介電層上時，因電容上電極不與電容下電極之邊緣重疊，即使導電異物殘留，也可降低電容與信號線短路的機率。以下舉一實施例作為本發明特徵的描述。

請參閱第 3A 圖，第 3A 圖繪示依照本發明，薄膜電晶體液晶顯示器的佈局結構。薄膜電晶體 104 之閘極連接於掃描線 110。薄膜電晶體 104 包括一閘極 104g，一源極

104s，即一汲極 104d。薄膜電晶體 104 的設計，一般有兩種，一種是閘極 104g 在下，而源極 104s 及汲極 104d 在上。另種設計為閘極 104g 在上，而源極 104s 及汲極 104d 在下。現今以閘極 104g 在下，先形成於透明基底上。閘極 104g 一般與電容下電極 114 一起定義形成，又稱為第一金屬 (metal 1) 製程。源極 104s 及汲極 104d 之間有一通道區 104a。一般通道區 104a 是由導電的非晶矽所形成，而源極 104s 及汲極 104d 則由具有 N 型摻雜的非晶矽導電物質定義形成。一般液晶顯示器，又包括上下畫素電極層，及其間的液晶層。另外又包括濾色層，相位差板，偏光板，等等，皆為熟此技藝者熟知的技術，不詳細描述。而液晶顯示器控制機制，簡單描述於下。

請同時參見第 1 圖，薄膜電晶體 104 的閘極 104g 連接掃描線 110。掃描線 110 由掃描電路 100 控制。源極 104s 則連接到對應的信號線 112。信號線 112 由保持電路 102 控制。薄膜電晶體 104 的汲極 104d 連接到一畫素電極層 204。另外畫素儲存電容器由一電容下電極 114 與一電容上電極 200 所構成。電容下電極 114 也例如連接到一共通電極 Vcom。畫素電極層 204 透過一開口 202 與電容上電極 200 連接。於畫素電極層 204 上有一液晶層，及液晶層上方的一畫素電極層(未示)。畫素電極層 204 一般由銮錫氧化物 (Indium tin oxide) 所形成。

掃描電路 100 與保持電路 102 各由不同的時脈，以一順序供給掃描線 110 與信號線 112。掃描線 110 控制薄膜電

晶體 104 的開與關。信號線 112 施加電壓給薄膜電晶體 104。而薄膜電晶體 104 的汲極與畫素儲存電容器 108 連接。如果薄膜電晶體 104 被打開時，可經信號線 112 供給畫素儲存電容器 108 的所需的電壓，進而控制畫素電極 ITO 的電壓。由上下畫素電極 ITO 所施加的電壓，因此可控制畫素範圍內之其間液晶分子的轉動特性。當畫素儲存電容器，經薄膜電晶體 104 的開啓充電，可依選擇，控制液晶在此畫素的亮暗，並保持之。

由於畫素陣列的製造過程需經至少四道製程，可能會有一些異物殘留其間，造成元件的缺陷，例如前述第 2 圖所引起的一些問題。為了解決異物的殘留，造成不當短路，利用本發明設計電容上電極，可解決上述問題。

本發明設計使電容上電極 200 涵蓋的範圍，比電容下電極 114 小，使電容下電極 114 的邊緣不會與電容上電極 200 重疊，亦即電容上電極 200 與電容下電極 114 的重疊區域大約相當於電容上電極 200 的面積。於形成電容的過程中，下電極 114 的邊緣容易殘留異物 115。異物 115 一般是導電殘留物，例如形成通道區的非晶矽材料，其容易沿電容下電極 114 的邊緣殘留在電容介電層 124 上而形成導電殘留物。由於電容上電極 200 一般是與信號線 112 一起形成，如果電容上電極 200 與電容下電極 114 的邊緣有重疊。異物 115 可能會造成電容上電極 200 與信號線 112 的短路。

另外，若是異物 115 與電容上電極 200 與電容下電極 114 觸碰，會使電容短路失效。本發明設計，使電容上電極

200 比電容下電極 114 小，如此只少可避免電容短路，或是畫素電極層 204 短路到信號線。

本發明要求電容上電極 200 的面積範圍比電容下電極 114 小，是爲了避免其邊緣的重疊。因此面積的形狀或大小可視實際的設計而改變，而只要避免邊緣的重疊即可。

薄膜電晶體 104 的作用，一般而言類似於一開關元件，可控制電容器的充電狀態。而開口 202 的形成可由一般的定義製程達成，例如微影蝕刻。開口 202 的位置，是爲了使畫素電極與電容上電極 200 的連接，一般是位於電容上電極 200 的範圍之內，例如可形成於約中間部位。

上述中，本發明的主要特徵在於，電容上電極 200 比電容下電極 114 小，使異物 115 不會觸碰到電容上電極 200 造成短路。第 3B 圖繪示依照本發明，於第 3A 圖中沿 II-II 線的剖面圖。請參閱第 3A 與 3B 圖，一電容下電極 114 形成於一基板 126 上。一電容介電層 124 形成覆蓋過電容下電極 114。電容上電極 200 形成於電容介電層 124 上。電容下電極 114，電容介電層 124 與電容上電極 200 形成一儲存電容。一保護層 122 形成於電容上電極 200 之上，且覆蓋過基板 126。保護層 122 有一開口 202，暴露出電容上電極 200。一畫素電極層 204，形成於保護層 122 之上。畫素電極層 204 且透過開口 202 與電容上電極 200 連接。

上述中，電容上電極 200 比電容下電極 114 的範圍小，因此不與電容下電極 114 的邊緣重疊。當電容下電極 114 的邊緣殘留有異物 115 時，也不會與電容上電極 200 觸碰

造成不當短路。例如異物 115 延伸至信號線 112 時，電容上電極 200 若與異物 115 觸碰，會造成電容上電極 200 與信號線 112 之間的短路。

上述殘留異物 115 的位置分佈，僅是一示意圖。殘留異物 115 也可能不連續，但是異物 115 殘留於電容下電極 114 的邊緣造成不當的短路是傳統製程常碰到的問題。

本發明的特徵之一在於，設計電容下電極 114 的邊緣不與電容上電極 200 重疊。因其邊緣不重疊，可以有效防止不當短路。爲了有足夠的蓄積電容值，除了可縮小電容上電極 200 的面積範圍爲外，也可放大電容下電極 114 的面積範圍。甚至改變面積的邊緣形狀皆不脫離本發明提出的特徵。

換句話說，本發明的特徵在於電容下電極 114 與電容上電極 200 的邊緣不重疊即是。至於面積範圍的調整僅是設計上的變化條件。另外，本發明並不限用於儲存電容在共通電極上(Cs on common)的設計，亦可應用於儲存電容在閘極(Cs on gate)上的設計。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者爲準。

六、申請專利範圍

1. 一種畫素儲存電容器結構，包括：

一第一電容電極，形成於一基板上；

一電容介電層，形成於該第一電容電極上；

一第二電容電極，形成於該電容介電層上，其中該第二電容電極的一面積範圍小於該第一電容電極的一面積範圍；

一保護層覆蓋過於該第二電容電極上，其中該保護層有一開口，暴露出該第二電容電極；以及

一畫素電極層覆蓋於該保護層上，透過該保護層之該開口與該第二電容電極連接。

2. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中該第一電容電極與該第二電容電極之一重疊區域具有與該第二電容電極大致上相等的一面積。

3. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中該畫素電極與一開關元件連接。

4. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中該畫素電極與一薄膜電晶體連接。

5. 如申請專利範圍第 1 項所述之畫素儲存電容器結構，其中該第一電容電極連接於一共通電壓。

6. 一種畫素儲存電容器結構，包括：

一第一電容電極，形成於一基板上；

一電容介電層，形成於該第一電容電極上；以及

一第二電容電極，形成於該電容介電層上，其中該

第二電容電極之一邊緣不跨過該第一電容電極之一邊緣。

7. 如申請專利範圍第 6 項所述之畫素儲存電容器結構，更包括：

一保護層覆蓋過於該第二電容電極上，其中該保護層有一開口，暴露出該第二電容電極；以及

一畫素電極層覆蓋於該保護層上，透過該保護層之該開口與該第二電容電極連接。

8. 如申請專利範圍第 6 項所述之畫素儲存電容器結構，該第一電容電極之該邊緣，殘留有一異物。

9. 如申請專利範圍第 8 項所述之畫素儲存電容器結構，該一異物包括非晶矽。

10. 如申請專利範圍第 6 項所述之畫素儲存電容器結構，該第一電容電極與該第二電容電極所形成之一電容器，受控於一薄膜電晶體。

11. 一種畫素儲存電容器的形成方法，包括：

形成一第一電容電極，於一基板上；

形成一電容介電層，於該第一電容電極上；

形成一第二電容電極，於該電容介電層上，其中該第二電容電極的一面積範圍小於該第一電容電極；

形成一保護層覆蓋過於該第二電容電極上；

定義該保護層以形成一開口，暴露出該第二電容電極；
以及

形成一畫素電極層，覆蓋於該保護層上，透過該保護層之該開口與該第二電容電極連接。

12. 如申請專利範圍第 11 項所述之畫素儲存電容器的形成方法，其中該第一電容電極與該第二電容電極之一重疊區域，具有與該第二電容電極大致上相等的一面積。

13. 如申請專利範圍第 11 項所述之畫素儲存電容器的形成方法，其中該畫素電極與一開關元件連接。

14. 如申請專利範圍第 11 項所述之畫素儲存電容器的形成方法，更包括連接該畫素電極至一薄膜電晶體。

15. 如申請專利範圍第 11 項所述之形成畫素儲存電容器的形成方法，更包括連接該第一電容電極至一共通電壓。

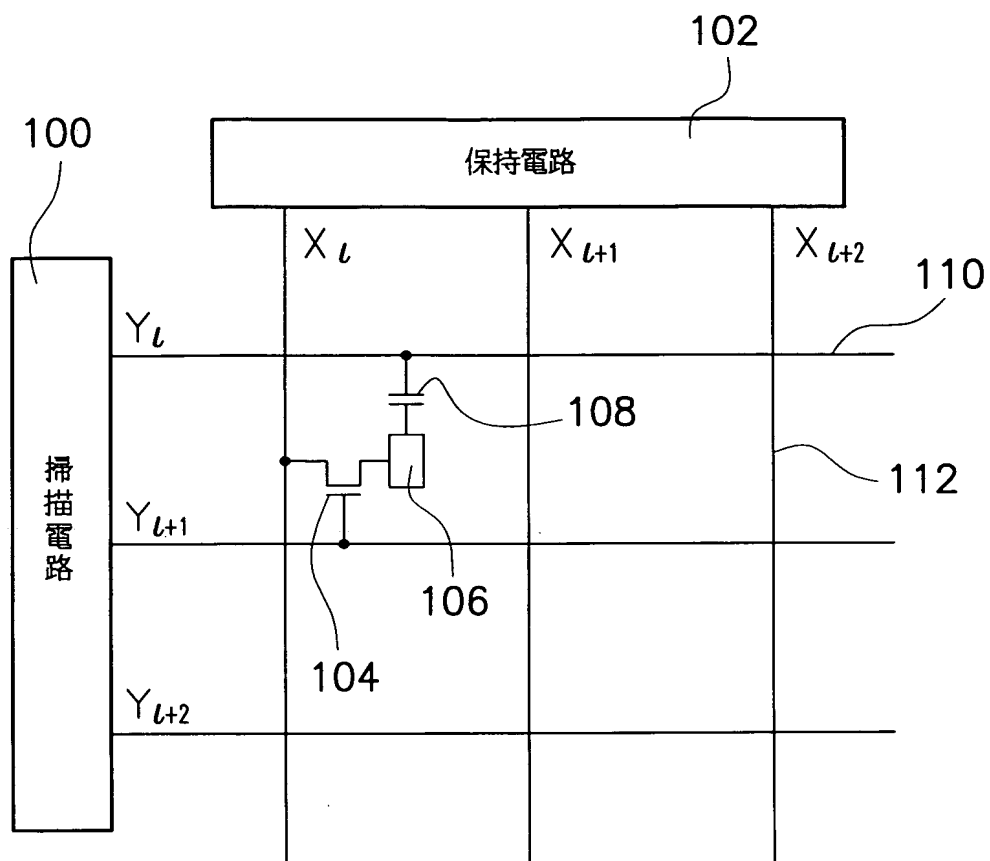
16. 一種液晶顯示裝置，包括：

複數條掃描線；

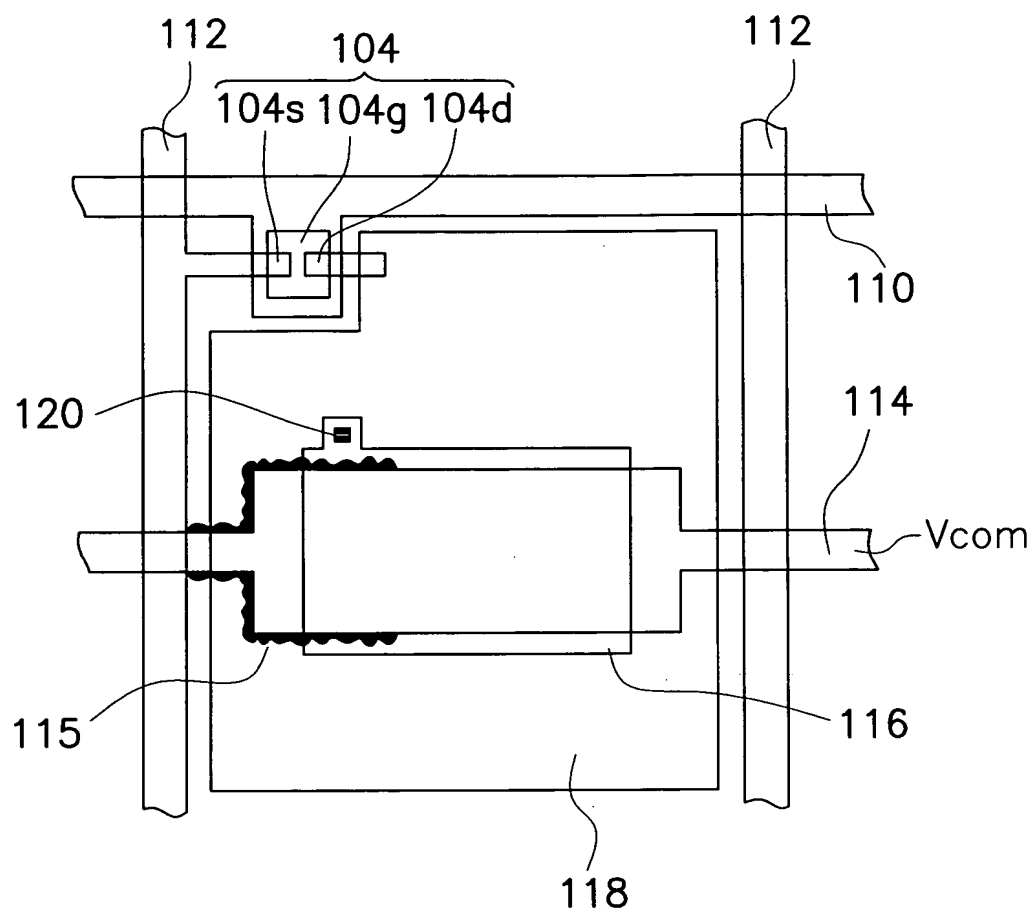
複數條信號線；以及

複數個畫素，每一畫素包括一液晶單元，具有一畫素電極連接至一儲存電容，以及一開關元件，連接該液晶單元與該些信號線之一，該開關元件之一連接至該些掃描線之一；

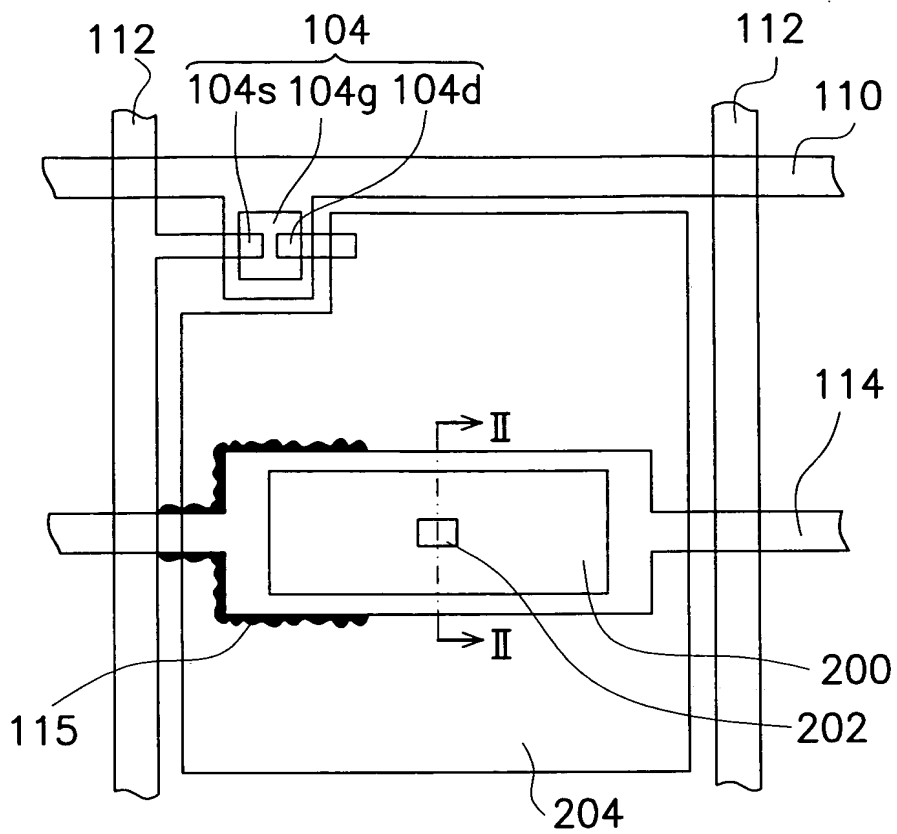
其中，該儲存電容包括一第一電容電極、一電容介電層與一第二電容電極，該第二電容電極與該第一電容電極之一重疊區域大致上相等於該第二電容電極之面積。



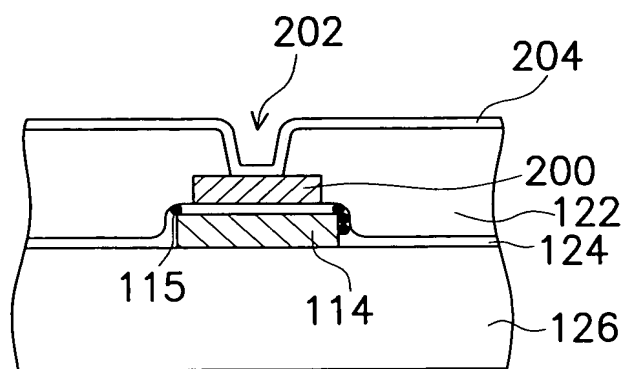
第 1 圖



第 2 圖



第 3A 圖



第 3B 圖